

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

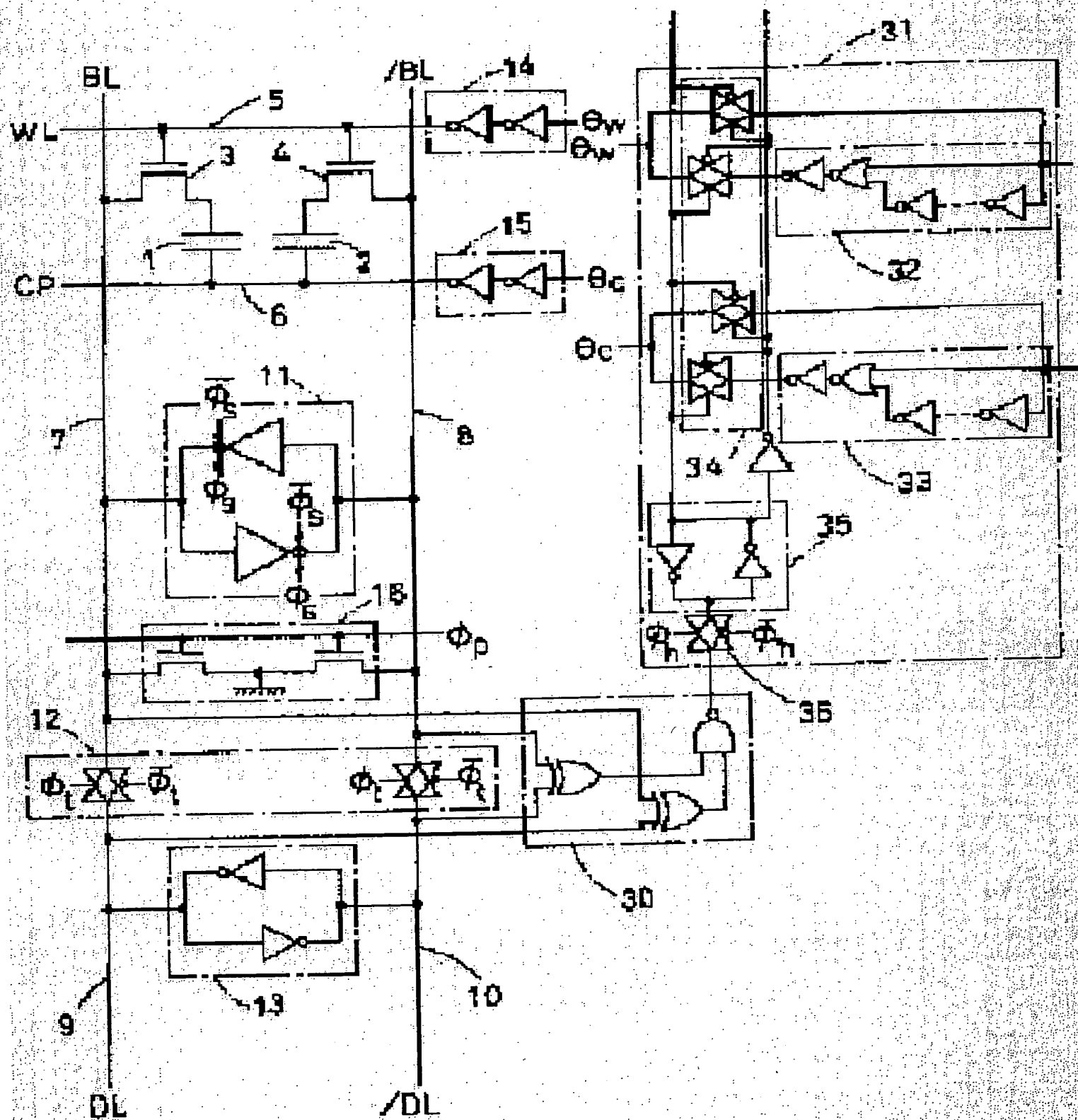
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

© PAJ / JPO

- PN - JP10083679 A 19980331
- TI - SEMICONDUCTOR MEMORY DEVICE
- AB - PROBLEM TO BE SOLVED: To prevent degradation of a retention characteristic of a semiconductor memory device caused by a phenomenon called as imprint in which a hysteresis characteristic of a ferroelectric is deviated.
- SOLUTION: This device is a semiconductor memory device using a ferroelectric substance capacitor which can store data even in a state in which a power source is not supplied due to residual polarization, a comparing circuit 30 is connected to bit lines 7, 8 and data lines 9, 10, data stored in ferroelectric capacitors 1, 2 is compared with data newly written in the ferroelectric capacitors 1, 2 based on a signal from the comparing circuit 30, when both data are different, an applying time of writing voltage of data, that is, a writing voltage applying time to a word line 5 and a cell plate 6 is made long by a writing operation control circuit 31. This writing voltage is given to the word line 5 and the cell plate 6 by drivers 14, 15 based on a control signal from the writing operation control circuit 31.
- I - G11C14/00 ; G11C11/22
- PA - MATSUSHITA ELECTRON CORP
- IN - KURAKI TOSHIO
- ABD - 19980630
- ABV - 199808
- AP - JP19960239100 19960910

© WPI / DERWENT

- AN - 1998-257094 [23]
- TI - Semiconductor-memory apparatus e.g. DRAM - has control circuit that lengthens application time of write-in voltage applied to memory cell when comparator determines that data read from memory cell are different from data input to data line
- AB - J10083679 The apparatus includes memory cells that use dielectric capacitors (1,2), bit-lines (7,8) and data lines (9,10). A comparator circuit (30) compares the data read out from a memory cell and output to a bit-line, with the data input into a data line and which is to be input to the memory cell.
- A control circuit (31) lengthens the application time of a write-in voltage applied to the memory cell when the read data are different from the input data, and based on a signal output from the comparator circuit.
 - ADVANTAGE - Prevents degradation in retention characteristic. Prevents excessive refresh operation thereby reducing power consumption, preventing increase in time cycle and restraining pressure on ferroelectric film.
 - (Dwg.1/11)
- IW - SEMICONDUCTOR MEMORY APPARATUS DRAM CONTROL CIRCUIT
LENGTH APPLY TIME VOLTAGE APPLY MEMORY CELL COMPARATOR
DETERMINE DATA READ MEMORY CELL DATA INPUT DATA LINE
- AW - DYNAMIC RANDOM ACCESS MEMORY
- PN - JP10083679 A 19980331 DW199823 G11C14/00 010pp
- IC - G11C11/22 ;G11C14/00
- MC - U14-A03B4 U14-A03F U14-A07
- DC - U14
- PA - (MATE) MATSUSHITA ELECTRONICS CORP
- AP - JP19960239100 19960910
- PR - JP19960239100 19960910



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83679

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 14/00

G 1 1 C 11/34

3 5 2 A

11/22

11/22

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平8-239100

(22) 出願日 平成8年(1996) 9月10日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 椋木 敏夫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

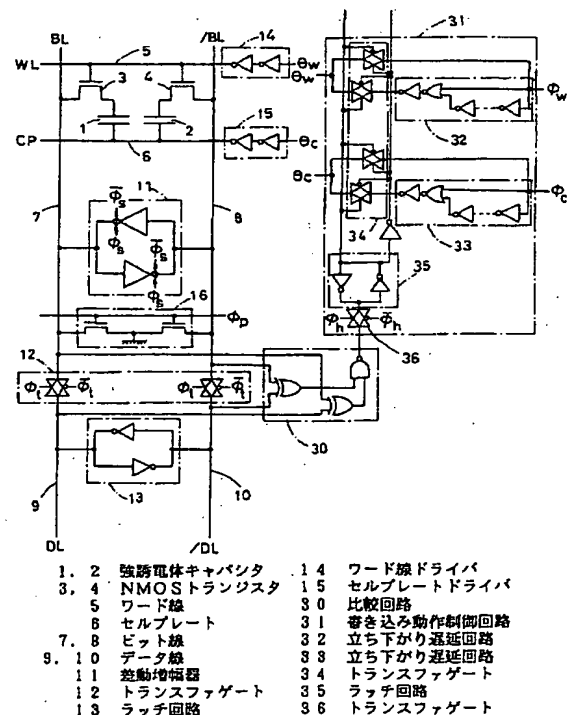
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 強誘電体のヒステリシス特性が偏るインプリントと呼ばれる現象によって、半導体メモリ装置のリテンション特性が劣化することを防止する。

【解決手段】 残留分極によって電源供給が無い状態でもデータを記憶することができる強誘電体キャパシタを用いた半導体メモリ装置であり、ビット線7、8とデータ線9、10とに比較回路30を接続し、強誘電体キャパシタ1、2に記憶されていたデータと新たに強誘電体キャパシタ1、2に書き込むデータを比較し、比較回路30からの信号に基づき、両データが異なるときに書き込み動作制御回路31によりデータの書き込み電圧の印加時間、つまりワード線5およびセルプレート6への書き込み電圧印加時間を長くする。この書き込み電圧は、書き込み動作制御回路31からの制御信号に基づいてドライバ14、15がワード線5およびセルプレート6に与える。



【特許請求の範囲】

【請求項1】 誘電体キャパシタを用いたメモリセルと、ビット線と、データ線と、前記メモリセルから前記ビット線に読み出された記憶データと前記データ線に入力された書き込みデータとを比較する比較回路と、前記比較回路からの信号に基づき前記記憶データと前記書き込みデータとが異なるときに前記メモリセルへ印加する書き込み電圧の印加時間を長くする制御回路とを備えた半導体メモリ装置。

【請求項2】 誘電体キャパシタを用いたメモリセルと、ビット線と、データ線と、前記メモリセルから前記ビット線に読み出された記憶データと前記データ線に入力された書き込みデータとを比較する比較回路と、前記比較回路からの信号に基づき前記記憶データと前記書き込みデータとが異なるときに前記メモリセルへ印加する書き込み電圧を高くする制御回路とを備えた半導体メモリ装置。

【請求項3】 誘電体キャパシタを用いたメモリセルと、ビット線と、データ線と、前記メモリセルから前記ビット線に読み出された記憶データと前記データ線に入力された書き込みデータとを比較する比較回路と、前記比較回路からの信号に基づき前記記憶データと前記書き込みデータとが異なるときに書き込み電圧を印加して書き込み動作に入る前に前記メモリセルの強誘電体に印加する電圧の反転を繰り返して前記メモリセルの強誘電体の極反転を行わせる制御回路とを備えた半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は主に強誘電体キャパシタを用いた半導体メモリ装置に関するものである。

【0002】

【従来の技術】現在の代表的な半導体メモリ装置はダイナミックランダムアクセスメモリ(DRAM)であるが、最近になってそのDRAMの電荷蓄積キャパシタの絶縁膜に強誘電体を使った強誘電体メモリ装置なるものが開発された。このメモリ装置は、DRAMが揮発性メモリであるのに対し、外部電界を取り去っても分極が残る強誘電体特有の性質によって、不揮発性メモリとして使用できる。また、既存の書換可能な不揮発性メモリ装置に対しても、消費電力が少なく書換速度が速いなどの優れた特性を有している。そのため次世代の主力メモリ装置として関心が高まっている。

【0003】図8は従来の強誘電体キャパシタを用いた2Tr-2C(2Transistor-2Capacitance)型半導体メモリ装置の一例を示す回路図である。図8において、1と2は強誘電体キャパシタである。3と4はアクセストランジスタで、図の例ではNMOSTランジスタを使用している。5はワード線、6はセルプレート、7と8はビット線、9と10はデータ線である。11はビ

ット線7と8の電位差を増幅する差動増幅器で、図の例では制御信号 ϕ_s で活性、不活性を制御できるクロックドCMOSインバータ2個で構成されている。12はビット線7とデータ線9、およびビット線8とデータ線10を接続するトランスファゲートで、制御信号 ϕ_t によってそれらの電氣的接続・非接続を制御することができる。13は入力データおよび出力データをラッチする回路で、図の例ではCMOSインバータ2個で構成されている。14はワード線ドライバ、15はセルプレートドライバで、それぞれ制御信号 ϕ_w と ϕ_c に基づいて、ワード線5とセルプレート6の電位を変化させる。16はプリチャージ回路で、制御信号 ϕ_p に基づいてビット線7と8をグラウンド電位にする。また、データ線9と10は入力回路と出力回路に接続されている。

【0004】図9は図8の半導体メモリ装置でのデータ読み出し動作のタイミングを示した読み出し動作タイミング図である。WL、CP、BL、 ϕ_{BL} 、DL、 ϕ_{DL} はそれぞれワード線5、セルプレート6、ビット線7、ビット線8、データ線9、データ線10の電位であり、 ϕ_s 、 ϕ_t 、 ϕ_p はそれぞれ差動増幅器11、トランスファゲート12、プリチャージ回路16の制御信号のレベルである。この装置でのデータの読み出し動作について、図8と図9を用いて説明する。

【0005】初期状態として図8の各ノードは全てグラウンド電位にあるとする。まず、ワード線5の電位を上げてNMOSTランジスタ3と4をオンさせ、セルプレート6の電位を上げる。すると、強誘電体キャパシタ1と2の自発分極の向きが反転するか否かによって異なる電位がビット線7と8に現れる。つぎに、制御信号 ϕ_s をイネーブルにして差動増幅器11を活性化させ、ビット線7と8の電位差を増幅する。増幅が終わった後に制御信号 ϕ_t をイネーブルにしてトランスファゲート12をオンさせ、ビット線7と8の電位をラッチ回路13へ送り、出力回路によって外部へデータを出力する。図9のように読み出したデータとラッチ回路のデータが異なる場合は差動増幅器11がラッチ回路13の電位を反転させる。

【0006】一方、メモリセルのデータは読み出しによって破壊されているため、続いて再書き込みの動作に入る。まず、差動増幅器11を活性化したまま、セルプレート6の電位を下げる。ビット線7もしくは8に保たれている電位によってメモリセルに書き込みが行われた後、ワード線5の電位を下げてNMOSTランジスタ3と4をオフにする。つぎに、制御信号 ϕ_t と ϕ_s をディスイネーブルにして、トランスファゲート12をオフにし差動増幅器11を不活性にする。最後に、制御信号 ϕ_p をハイレベルにしてビット線7と8をグラウンド電位にプリチャージすれば、読み出し動作は完了する。

【0007】書き込み動作の場合は、前述した再書き込み時のデータを外部から入力すれば良い。すなわち、入

3

力回路からデータ線9と10に電位を出力し、メモリセルからデータを読み出して差動増幅器11で増幅した後、トランスファゲート12をオンにすれば、入力されたデータによってビット線7と8の電位が決まり、メモリセルへ所望のデータが書き込まれる。その書き込み動作タイミング図を図10に示す(各信号名の意味は図9と同様であるので、その説明は省略する)。なお、図10のようにメモリセルに記憶されていたデータと入力データが異なっている場合は、差動増幅器11によってラッチされていたデータは、入力回路によって反転させられる。

【0008】

【発明が解決しようとする課題】従来の装置では、強誘電体キャパシタの電圧-電荷量曲線が偏ること(インプリント現象)によって、電源の供給が無い状態でのデータ保持能力(リテンション特性)が劣化する問題があった。図11はその電圧-電荷量曲線とその偏りの様子を示したものであり、横軸はキャパシタの両端にかかる電圧を、縦軸はキャパシタの電極にあらわれる電荷量をとっている。図11に示すように、強誘電体キャパシタは、外部からの電圧が0(V)の場合でも電極に残留電荷 P_r が現れる。

【0009】今、強誘電体キャパシタは実線20で示されるような状態にあるとする。2Tr-2C型の場合、データを保持している2つの強誘電体キャパシタは、それぞれ実線20上の点21と点22の状態にあり、その残留電荷の差 $2P_r$ によって、電源の供給が無い状態でもデータを保持する。この状態で放置すると、残留分極による内部電界によって強誘電体膜中で特性の変化が起こる。そのため電圧-電荷量曲線は、点21の状態にある強誘電体キャパシタについては点線23のように、点22にある強誘電体キャパシタについては点鎖線24のように変化する。その後、逆データを書き込んだ場合、2つの強誘電体キャパシタはそれぞれ点25と点26の状態になる。したがって、残留電荷の差が、点21と点22の差 $2P_r$ から、点25と点26の差 $2P_{ri}$ に減少するためリテンション特性が劣化する。

【0010】したがって、この発明の目的は、残留電荷の減少によるリテンション特性の劣化を防止することができる半導体メモリ装置を提供することである。

【0011】

【課題を解決するための手段】この課題を解決するために、本発明の半導体メモリ装置は、入力されたデータとメモリセルに記憶されていたデータとが等しいか異なるかを判断する比較回路と、比較回路の出力に基づき入力されたデータとメモリセルに記憶されていたデータとが異なるときに、メモリセルの強誘電体に印加する所望の電圧を所望の方法、例えば、書き込み電圧の印加時間を長くする、また書き込み電圧を高くする、また書き込み電圧を印加して書き込み動作に入る前にメモリセルの強

4

誘電体に印加する電圧の反転を繰り返してメモリセルの強誘電体の分極反転を行わせる(いわゆる、リフレッシュ動作)ための制御回路を有している。

【0012】この発明の構成によれば、入力されたデータとメモリセルに記憶されていたデータとが異なるときに、メモリセルの強誘電体キャパシタに印加する電圧を、両データが同じときとは異ならせることによって、残留分極による内部電界によって生じた特性の変化を打ち消し、電圧-電荷量曲線の偏りを回復させ、残留電荷の減少によるリテンション特性の劣化を防止することができる。また、入力されたデータとメモリセルに記憶されていたデータとが異なるときに上記の特性変化を打ち消すためのリフレッシュ動作を行い、上記両データが同じであるときは上記のリフレッシュ動作を行わないので、特性変化の打ち消しのための消費電力の増加を少なくすることができるとともに、強誘電体膜疲労を低減することができる。

【0013】

【発明の実施の形態】請求項1記載の半導体メモリ装置は、誘電体キャパシタを用いたメモリセルと、ビット線と、データ線と、メモリセルからビット線に読み出された記憶データとデータ線に入力された書き込みデータとを比較する比較回路と、比較回路からの信号に基づき記憶データと書き込みデータとが異なるときにメモリセルへ印加する書き込み電圧の印加時間を長くする制御回路とを備えている。

【0014】この構成によると、記憶データと書き込みデータとが異なるときには、上記両データが同じときに比べて、メモリセルへ印加する書き込み電圧の印加時間が長くなる。その結果、残留分極による内部電界によって生じた特性の変化が打ち消され、電圧-電荷量曲線の偏りを回復させ、残留電荷の減少によるリテンション特性の劣化が防止される。

【0015】請求項2記載の半導体メモリ装置は、誘電体キャパシタを用いたメモリセルと、ビット線と、データ線と、メモリセルからビット線に読み出された記憶データとデータ線に入力された書き込みデータとを比較する比較回路と、比較回路からの信号に基づき記憶データと書き込みデータとが異なるときにメモリセルへ印加する書き込み電圧を高くする制御回路とを備えている。

【0016】この構成によると、記憶データと書き込みデータとが異なるときには、上記両データが同じときに比べて、メモリセルへ印加する書き込み電圧が高くなる。その結果、残留分極による内部電界によって生じた特性の変化が打ち消され、電圧-電荷量曲線の偏りを回復させ、残留電荷の減少によるリテンション特性の劣化が防止される。この際、電圧を高くして打ち消しを行っているので、特性の変化の打ち消しが効果的に行われる。

【0017】請求項3記載の半導体メモリ装置は、誘電

5

体キャパシタを用いたメモリセルと、ビット線と、データ線と、メモリセルからビット線に読み出された記憶データとデータ線に入力された書き込みデータとを比較する比較回路と、比較回路からの信号に基づき記憶データと書き込みデータとが異なるときに書き込み電圧を印加して書き込み動作に入る前にメモリセルの強誘電体に印加する電圧の反転を繰り返してメモリセルの強誘電体の分極反転を行わせる制御回路とを備えている。

【0018】この構成によると、記憶データと書き込みデータとが異なるときには、書き込み動作に入る前にメモリセルの強誘電体に印加する電圧の反転が繰り返されてメモリセルの強誘電体の分極反転が行われる。その結果、残留分極による内部電界によって生じた特性の変化が打ち消され、電圧-電荷量曲線の偏りを回復させ、残留電荷の減少によるリテンション特性の劣化が防止される。また、メモリセルの強誘電体の分極反転は記憶データと書き込みデータとが異なるときに、上記両データが同じときには行わないので、消費電力の増加が少なく、分極反転の繰り返しによる誘電体膜疲労が小さい。

【0019】上記の誘電体膜疲労という現象は、自発分極(図11の2Pr)の大きさが、強誘電体の分極反転を繰り返すことにより減少することをいう。誘電体膜疲労によって、自発分極の大きさが一定以上確保されなくなると、データを読み出したときに、ビット線に十分な電位差が発生せず、センスアンプの特性や、ビット線容量のばらつき等の影響を強く受け、データを正しく出力できなくなる。

【0020】以下、この発明の実施の形態について図面を参照しながら説明する。

〔第1の実施の形態〕図1は本発明の第1の実施の形態における半導体メモリ装置の回路図を示したものである。各構成要素のうち図8と同じ番号を付してあるものは基本的に同じものであり、それらの説明は省略する。図1において、30は入力データ(データ線9、10上のデータ)とメモリセルに記憶していたデータ(ビット線7、8上のデータ)とが同じか異なるかを比較判定する比較回路で、図1の例では排他的論理和(exclusive-OR)回路が使用されている。なお、図1ではビット線7とデータ線9に接続している排他的論理和回路と、ビット線8とデータ線10に接続している排他的論理和回路があるが、どちらか一方しか無い場合も問題はない。

【0021】31はデータ比較を行う比較回路30からの信号に基づいて、書き込み動作を制御する書き込み動作制御回路であり、特許請求の範囲における制御回路に相当する。その働きは半導体メモリ装置の動作クロック回路で発生させた制御信号 ϕ_w 、 ϕ_c を受けて、比較回路30の結果に応じて遅延をかけ、制御信号 θ_w 、 θ_c として出力する書き込み動作制御回路である。ここで、動作クロック回路からの制御信号 ϕ_w 、 ϕ_c に代わってメモリセルの周辺回路へ送られる信号を θ_w 、 θ_c と付

6

すことにする。また、制御信号 θ_w と θ_c はメモリセルの周辺回路へ送られると同時に、動作クロック回路へ戻されて、以後の動作クロック信号に θ_w と θ_c に生じた遅延分を補正する。

【0022】上記の書き込み動作制御回路31の回路構成は、立ち下がり遅延回路32、33と、立ち下がり遅延回路32、33を通して遅延させた信号と立ち下がり遅延回路32、33を通さない信号とを切り替えるためのトランスファゲート群34と、比較回路30からの結果をラッチするラッチ回路35と、比較回路30の出力をラッチ回路35に入力するタイミングを制限するトランスファゲート36からなる。なお、トランスファゲート36は制御信号 ϕ_h によって制御される。また、ラッチ回路13は動作をより安定させるための回路で省いたとしても問題はない。

【0023】以下、この半導体メモリ装置の書き込み動作について説明する。メモリセルからビット線7、8にデータが読み出され増幅されるまでと、入力回路によってデータ線9、10にデータが入力されラッチ回路13によって保持されるまでの動作は、従来例と変わらない。本発明ではつぎのトランスファゲート12をオンにする前に、ビット線7、8上のメモリセルのデータとデータ線9、10上の入力データとを、比較回路30によって比較する。

【0024】上記両データが同じである場合は、ハイレベルの電圧が書き込み動作制御回路31に供給される。それをトランスファゲート36をオンさせることで、ラッチ回路35へ取り込ませる。その結果、トランスファゲート群34によって、動作クロック回路からの制御信号 ϕ_w 、 ϕ_c がそのままメモリセル周辺回路への制御信号 θ_w 、 θ_c として選択される。その信号には遅延はかかっていないので、従来例で説明したような通常の書き込み動作を行う。ただし、トランスファゲート12をオンする前にトランスファゲート36をオフにして、その後のビット線7、8とデータ線9、10の電位の変化の影響が書き込み動作制御回路31に及ばないようにする必要がある。

【0025】上記両データが異なる場合は、ローレベルの電圧が書き込み動作制御回路31に供給される。その場合、制御信号 ϕ_w 、 ϕ_c を立ち下がり遅延回路32、33で立ち下がり遅延させた信号が制御信号 θ_w 、 θ_c として出力される。その結果の動作タイミングの変化を図2に示す。 ϕ_h はトランスファゲート36の制御信号であり、それ以外の信号は図9と同様であるので、それらの説明は省略する。図2の符号40と41の矢印で示すように、従来動作に比べメモリセルへ書き込み電圧を印加する書き込み電圧印加時間が長くなる。また、CPとWLが遅延した後の制御信号 ϕ_s 、 ϕ_t 、 ϕ_p は、 θ_w 、 θ_c の動作クロック回路へのフィードバックによって、CPとWLが遅延した分だけタイミングが遅れ

る。

【0026】図3(a)～(d)はこの装置での再書き込みの過程をメモリセルの強誘電体キャパシタの両極板間の電圧と分極の向きによって表した図である。符号1～8で示す各部位は、図8と同様であるため、それらの説明は省略する。また、分極の向きをその分極を発生させる電界の向きに合わせて誘電体キャパシタ1, 2内の矢印で、誘電体キャパシタ1, 2の極板間の電圧の向きを白抜き矢印で表し、ビット線7, 8の電位BL, /BLとワード線5の電位WLとセルプレート6の電位CPのレベルををそれぞれの記号の下のかっこ内に“Hi”, “Low”で記す。

【0027】電源電圧の供給がない状態では、図3

(a)のように、強誘電体の残留分極によってデータを保持している。このデータを読み出すときは、図3

(b)のようにセルプレート6の電位CPをハイレベルにして強誘電体キャパシタ1の分極を反転させ、差動増幅器11でビット線7の電位BLとビット線8の電位/BLをハイレベルとローレベルにする。この時、強誘電体キャパシタ2には電圧V1がかかる。

【0028】続いて逆データを書き込むため、図3

(c)のようにビット線7の電位BLとビット線8の電位/BLを逆転させる。この時、強誘電体キャパシタ1には電圧V1がかかり、データを保持していた図3

(a)の時とは逆の向きに分極を生じさせる。本発明では、この図3(c)の状態を保つ時間(書き込み電圧印加時間)を、読み出したデータと書き込むデータが異なる場合にのみ、図2の矢印40に示すように延ばす。その結果、図3(a)の残留分極によって強誘電体キャパシタ1に生じた特性の変化を、除去することができる。

【0029】つぎに、図3(d)のように、セルプレート6の電位CPをローレベルにすれば、今度は強誘電体キャパシタ2に電圧V2がかかり、データを保持していた図3(a)の時とは逆の向きに分極を生じさせる。この場合も強誘電体キャパシタ1の場合と同様に、強誘電体キャパシタ2に電圧V2がかかっている時間を図2の矢印41に示すように延ばし、強誘電体キャパシタ2の特性の変化を除去する。このようにして、図3(a)の状態が生じた強誘電体キャパシタ1, 2の特性の変化を除去し、リテンション特性の劣化を防止する。

【0030】以上のように、この実施の形態によると、記憶データと書き込みデータとが異なるときには、上記両データが同じときに比べて、メモリセルへ印加する書き込み電圧の印加時間を長くするので、残留分極による内部電界によって生じた特性の変化を打ち消して電圧-電荷量曲線の偏りを回復させることができ、その結果残留電荷の減少によるリテンション特性の劣化を防止できる。

【0031】〔第2の実施の形態〕図4は本発明の第2の実施の形態における半導体メモリ装置の回路図を示し

たものである。各構成要素のうち図1と同じ番号を付してあるものは基本的に同じものであり、それらの説明は省略する。図4において、50はデータ比較回路30からの結果に基づいて、書き込み動作を制御する書き込み動作制御回路であり、特許請求の範囲における制御回路に相当する。その働きは半導体メモリ装置の動作クロック回路で発生させた制御信号 ϕ_w , ϕ_c , ϕ_s , ϕ_t を受け、比較回路30の結果に応じて、ビット線7, 8上のデータとデータ線9, 10上のデータが異なるときに、電源電圧がより高い駆動回路に切り替えて、ワード線5とセルプレート6とビット線7, 8とを駆動し、その高電圧動作がデータ線9, 10に影響しないようにトランスファゲート12をオフにするものである。

【0032】その回路構成は、ワード線ドライバ51と、セルプレートドライバ52と、比較回路30からの結果をラッチするラッチ回路53と、ビット線7, 8を駆動する差動増幅器11, 56をラッチ回路53のデータによって選択する切り替え回路54と、ラッチ回路53のデータによってトランスファゲート12をオフにするトランスファゲート制御回路55と、その他の回路からなる。56はビット線7, 8の電位差を増幅する差動増幅器であり、図の例では制御信号 θ_{s2} で活性、不活性を制御できるクロックドCMOSインバータ2個で構成され、各CMOSインバータには、図示はしていないが当然電源電圧が供給されており、差動増幅器11を構成するCMOSインバータより高い電源電圧が印加されている。

【0033】ワード線ドライバ51およびセルプレートドライバ52は、それぞれワード線ドライバ14とセルプレートドライバ15に比べ、より高い駆動電圧が供給されている。トランスファゲート群34は、ワード線ドライバ14と51およびセルプレートドライバ15と52を、ラッチ回路53のデータによって切り替える。ラッチ回路53は、図1のラッチ回路35にラッチデータを初期化するためのプリチャージ回路(MOSTランジスタ)が付加されたもので、制御信号 ϕ_p によってラッチデータを初期化する。なお、説明のためラッチ回路53の出力ノードを57とする。

【0034】切り替え回路54は、制御信号 ϕ_s がハイレベルでノード57がローレベルの時に差動増幅器11を活性化させ、制御信号 ϕ_s がハイレベルでノード57がハイレベルの時に差動増幅器56を活性化させる。ただし、制御信号 ϕ_s がハイレベルの状態でもノード57がローレベルからハイレベルに変化する時の制御信号 θ_{s2} の立ち上がりは、遅延回路58によって、制御信号 θ_s が立ち下がってから一定時間遅れる。トランスファゲート制御回路55はノード57がローレベルの時、制御信号 ϕ_t がハイレベルになれば制御信号 θ_t をハイレベルにしてトランスファゲート12をオンにするが、制御信号 ϕ_t がハイレベルであってもノード57がローレベル

10

20

30

40

50

からハイレベルになれば、遅延回路59での遅延時間後に制御信号 θt をローレベルにする。なお、遅延回路58と59は図の例ではインバータ回路が偶数個使用されており、その入力と出力とで論理レベルは反転しない。また、論理積回路等と組み合わせて、立ち上がり信号だけを遅延する回路にしても問題はない。

【0035】図5は図4の回路の書き込み動作のタイミングを示した動作タイミング図である。 θs は差動増幅器11を活性化させる制御信号、 $\theta s2$ は差動増幅器56を活性化させる制御信号、 θt はトランスファゲート12をオン・オフする制御信号である。その他は図2と同様であり、説明は省略する。この実施の形態では、書き込み電圧印加時間は変えずに、キャパシタへの印加電圧を高めている。もちろん、本発明の範囲内で電圧を高め、かつ印加時間を延ばすことは可能である。

【0036】この装置の書き込み動作をについて図4と図5を用いて説明する。第1の実施の形態と同じようにメモリセルに記憶されていたデータと書き込みデータが同じ場合は、従来例と同じ動作を行う。異なる場合は、メモリセルからデータを読み出して差動増幅器11でビット線の電位がハイレベルとローレベルに増幅されるまでは従来例と同じ動作を行うが、比較回路30の結果がラッチ回路53へ送られ、その出力ノード57がハイレベルになることによって、まずワード線ドライバ14とセルプレートドライバ15が、より電源電圧の高いワード線ドライバ51とセルプレート52に切り替わり、ワード線5とセルプレート6の電位が上がる。また、制御信号 θs がローレベルになり、差動増幅器11が不活性になる。つぎに、トランスファゲート12がオンしてビット線の電位が反転した後に、遅延回路59で立ち下がり遅延された制御信号 θt がローレベルになりトランスファゲート12がオフになる。

【0037】ここで、制御信号 θt は遅延される理由について説明する。すなわち、書き込みの際に、ビット線BL、 \overline{BL} の電位をデータ線DL、 \overline{DL} の電位に従って反転させるために必要な時間を確保するためである。従来例では、サイクル終了時までトランスファゲート12をオンにし続けていたが、この実施の形態では、差動増幅器56を活性化して、ビット線の電圧を高くするよりも前にトランスファゲート12をオフにする必要がある（電圧が高くないデータ線につながったままでは、ビット線の電圧を高くできない）ため、このように θt を、ラッチ回路53の出力に基づいて立ち下がり遅延させた信号としている。

【0038】つぎに、遅延回路58によって立ち上がり遅延された制御信号 $\theta s2$ がハイレベルになることによって、差動増幅器56が活性化され、ビット線のハイレベル側の電位が上がる。この状態で強誘電体キャパシタ1には、図3(c)に示す向きに電圧がかかり、分極が生じる。第1の実施の形態の時と同様にこの間に強誘電体

キャパシタ1の特性の変化を除去するのであるが、従来例に比べて高い電圧がキャパシタの極板間にかかっているため、その除去する効果が大い。また、高い電圧で書き込むことで図11に示したような残留電荷の減少を補うことができる。

【0039】続いてセルプレート6の電位をローレベルにすれば、強誘電体キャパシタ2に図3(d)に示す向きに電圧がかかるとともに分極が生じ、強誘電体キャパシタ1の時と同じ効果が得られる。その後、ワード線5をローレベルにし、差動増幅器56を不活性にし、ビット線7、8とラッチ回路53の出力ノード57をローレベルにプリチャージすれば書き込み動作は終了する。

【0040】なお、この例ではワード線ドライバとセルプレートドライバと差動増幅器の駆動電圧の切り替えを、それぞれ電源電圧の異なる別々の回路を用意して切り替えているが、回路は共通にして電源電圧を切り替えるようにしても問題はない。以上のように、この実施の形態によると、記憶データと書き込みデータとが異なるときには、上記両データが同じときに比べて、メモリセルへ印加する書き込み電圧を高くするので、残留分極による内部電界によって生じた特性の変化を打ち消して電圧-電荷量曲線の偏りを回復させることができ、その結果残留電荷の減少によるリテンション特性の劣化を防止できる。この際、電圧を高くして打ち消しを行っているため、特性の変化の打ち消しを効果的に行うことができる。

【0041】〔第3の実施の形態〕図6は本発明の第3の実施の形態における半導体メモリ装置の回路図を示したものである。各構成要素のうち図1と同じ番号を付してあるものは基本的に同じものであり、それらの説明は省略する。図6において、60はデータ比較回路30からの結果に基づいて、書き込み動作を制御する書き込み動作制御回路であり、特許請求の範囲における制御回路に相当する。その働きは、半導体メモリ装置の動作クロック回路で発生させた制御信号 ϕc と、半導体メモリ装置内部もしくは外部からのパルス信号 π とを受けて、比較回路30の結果に応じて、書き込み動作に入る前に、メモリセルの強誘電体キャパシタ1、2のリフレッシュを行わせるものである。

【0042】その回路構成は、ラッチ回路61と分周器兼カウンタ62とからなる。ラッチ回路61は基本的には図1のラッチ回路35と同じであるが、分周器兼カウンタ62からの信号によってラッチデータを初期化するプリチャージ回路(MOSTランジスタからなる)が付加されている。分周器兼カウンタ62には、ラッチ回路61の出力信号 θb とパルス信号 π が入力されており、 θb がローレベルのときはプリセット状態にあり、その出力Q1~Q4は全てハイレベルであるが、 θb がハイレベルになればパルス信号 π のカウントを開始する。なお、図6の例では、D型フリップフロップを4個用いた

リップキャリー型16進ダウンカウンタが使用されているが、分周器とカウンタの機能を有した回路ならば、どのような回路を用いても問題はない。また、パルス信号 π を供給する回路としては、CR発振器や水晶発振器などがあげられる。

【0043】63はビット線ドライバで、ラッチ回路61の出力ノードを制御信号 θb として活性、不活性を制御するクロックドCMOSインバータからなる。図7は図6の回路の書き込み動作のタイミングを示した書き込み動作タイミング図である。 θb はラッチ回路61の出力ノードの電位であり、その他は図2と同様であるため、説明は省略する。

【0044】この装置の書き込み動作について図6と図7を用いて説明する。第1の実施の形態と同じように、メモリセルに記憶されていたデータと書き込みデータが同じ場合は、従来例と同じ動作を行う。両データが異なる場合は、メモリセルからデータを読み出して差動増幅器11でビット線の電位がハイレベルとローレベルに増幅されるまでは従来例と同じ動作を行うが、それ後の動作が異なる。つまり、比較回路30の結果がラッチ回路61へ送られ、制御信号 θb がハイレベルになることによって、セルプレートドライバ15の制御信号が ϕc から分周器兼カウンタ62の出力Q1に切り替わり、ビット線ドライバ63が活性化され、分周器兼カウンタ62のプリセット状態が解除されてパルス信号 π のカウントが開始される。また、制御信号 θb は動作クロック回路へ戻されて、 θb がハイレベルの期間動作クロックの進行を一時停止させる。なおこの例では、ビット線8の電位をビット線ドライバ63で駆動させることで差動増幅器11のラッチデータを反転させ、ビット線7に差動増幅器11によってビット線8とは逆の電位を与えているが、差動増幅器11を不活性にして、2つのビット線ドライバをそれぞれビット線7と8の両方に接続してビット線の電位を駆動しても問題はない。

【0045】制御信号 θb がハイレベルの間は、図7に示すように、ビット線7と8の電位の変化が1周する間に、セルプレートの電位変化が2周する動作が繰り返される。ワード線5はハイレベルのままなので、強誘電体キャパシタ1と2には電圧が1回1回向きを逆にしながらかかり続けることになり、分極の反転が繰り返される。そのため、図11にあるように強誘電体キャパシタの電圧-電荷量曲線が偏っている場合は、偏りが少なくなるように特性が変化する。一定のパルス数が分周器兼カウンタ62に入力されれば、出力/Q4がハイレベルになり、ラッチ回路61の出力 θb がローレベルにプリチャージされる。その結果、セルプレートドライバ15の制御信号が ϕc に戻され、ビット線ドライバ63が不活性になり、分周器兼カウンタ62がプリセット状態になる。また、動作クロック信号の進行が再開され、後は従来例通りの書き込み動作が行われる。このように、強

誘電体キャパシタの電圧-電荷量特性の偏りを、分極反転を繰り返すことによって取り除き、リテンションの劣化を防止することができる。また、常に強誘電体キャパシタのリフレッシュを行う場合に比べ、分極反転による強誘電体膜疲労の点で有利である。

【0046】以上のように、この実施の形態によると、記憶データと書き込みデータとが異なるときには、書き込み動作に入る前にメモリセルの強誘電体に印加する電圧の反転を繰り返してメモリセルの強誘電体の分極反転を行うので、残留分極による内部電界によって生じた特性の変化を打ち消して電圧-電荷量曲線の偏りを回復させることができ、その結果残留電荷の減少によるリテンション特性の劣化を防止できる。また、メモリセルの強誘電体の分極反転は記憶データと書き込みデータとが異なるときに行い、上記両データが同じときには行わないので、分極反転の繰り返しによる誘電体膜疲労が少なく、半導体メモリ装置の寿命の短縮を少なくできる。

【0047】以上の実施の形態では、2Tr-2C(2 Transistor-2 Capacitance)型メモリセルについて述べてきたが、それらの例は全て1Tr-1C(1 Transistor-1 Capacitance)型メモリセルにも応用できる。それは図8と図1と図4と図6において、強誘電体キャパシタンス2とNMOSTランジスタ4を取り除き、ビット線8にリファレンス電位を与える回路を接続すれば、1Tr-1C型のメモリ装置として動作することで明らかである。ただし、1Tr-1C型の場合は、データがハイレベルかローレベルかの判定をリファレンス電位との比較で行うため、インプリントによる強誘電体キャパシタの特性の変化の影響は、相補的にハイレベルとローレベルを判断する2Tr-2C型に比べより深刻な問題となり、本発明は特に有効である。つまり、図11に示すようなインプリント現象の防止に関しては、どちらの場合でも同じであるが、データ読み出しのための判定方法の差により1Tr-1C型の方が、インプリント現象の影響を強く受け、総合的なデータ保持能力(リテンション特性)が大きく左右されることになるので、本発明を適用することが特に有効である。

【0048】

【発明の効果】本発明の半導体メモリ装置によると、メモリセルに記憶されていたデータと逆のデータを書き込む場合に、書き込み電圧を印加する時間を長くする、または書き込み電圧を高くする、あるいは書き込みに入る前に強誘電体キャパシタに加える電圧を周期的に反転させることでリフレッシュを行うことにより、電圧-電荷量曲線の偏りを除去する動作を行っているため、リテンション特性の劣化を防止することができる。また、書き込みデータと記憶されていたデータを比較して、その結果によって強誘電体キャパシタの電圧-電荷量曲線の偏りを除去する動作を行うか否か決定するので、リフレッシュによって電圧-電荷量曲線の偏りを除去する動作を

13

行う場合、リフレッシュを常に行う場合に比べて余分な動作が少なくなり、消費電力の増加を少なく抑え、またサイクルタイムの増加を抑え、強誘電体膜疲労を抑えることができ、有利である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態における半導体メモリ装置のメモリセル周辺回路を示す回路図である。

【図2】この発明の第1の実施の形態における半導体メモリ装置の書き込み動作タイミング図である。

【図3】この発明の第1の実施の形態における半導体メモリ装置のデータの記憶中および動作中の強誘電体キャパシタの電圧と分極の向きを表した概念図である。

【図4】この発明の第2の実施の形態における半導体メモリ装置のメモリセル周辺回路を示す回路図である。

【図5】この発明の第2の実施の形態における半導体メモリ装置の書き込み動作タイミング図である。

【図6】この発明の第3の実施の形態における半導体メモリ装置のメモリセル周辺回路の回路図である。

【図7】この発明の第3の実施の形態における半導体メモリ装置の書き込み動作タイミング図である。

【図8】従来の半導体メモリ装置のメモリセル周辺回路の回路図である。

【図9】従来の半導体メモリ装置の読み出し動作タイミング図である。

【図10】従来の半導体メモリ装置の書き込み動作タイミング図である。

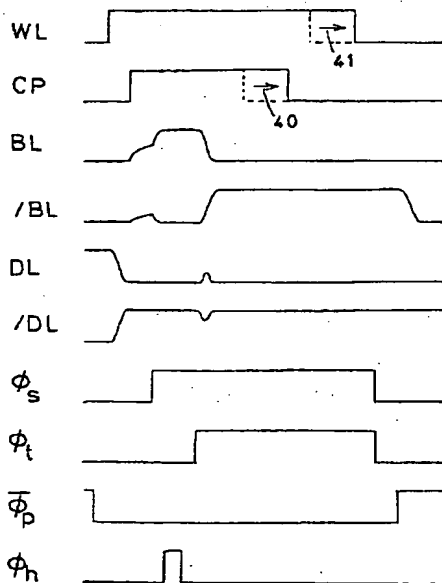
【図11】強誘電体キャパシタの電圧-電荷量曲線を示すヒステリシス特性図である。

14

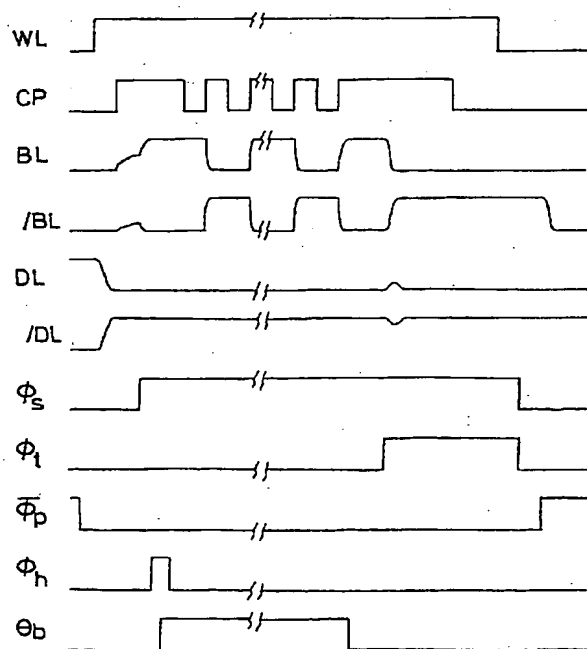
【符号の説明】

- 1, 2 強誘電体キャパシタ
- 3, 4 NMOSトランジスタ
- 5 ワード線
- 6 セルプレート
- 7, 8 ビット線
- 9, 10 データ線
- 11 差動増幅器
- 12 トランスファゲート
- 13 ラッチ回路
- 14 ワード線ドライバ
- 15 セルプレートドライバ
- 30 比較回路
- 31 書き込み動作制御回路
- 32, 33 立ち下がり遅延回路
- 34 トランスファゲート
- 35 ラッチ回路
- 36 トランスファゲート
- 50 書き込み動作制御回路
- 51 ワード線ドライバ
- 52 セルプレートドライバ
- 53 ラッチ回路
- 56 差動増幅器
- 58, 59 遅延回路
- 60 書き込み動作制御回路
- 61 ラッチ回路
- 62 分周器兼カウンタ
- 63 ビット線ドライバ

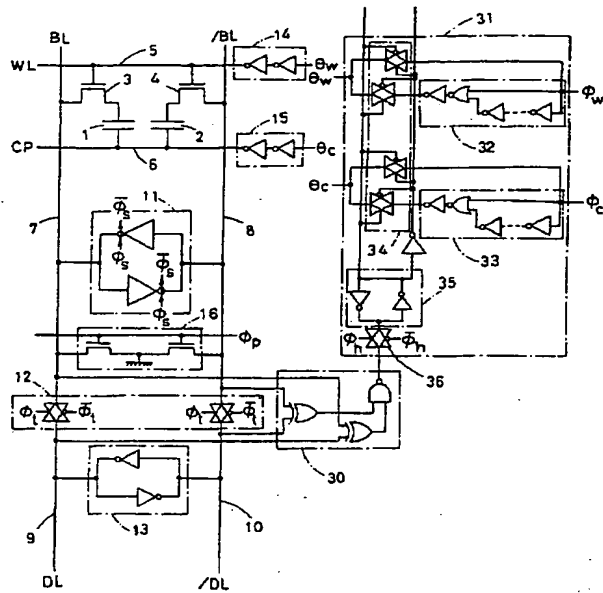
【図2】



【図7】

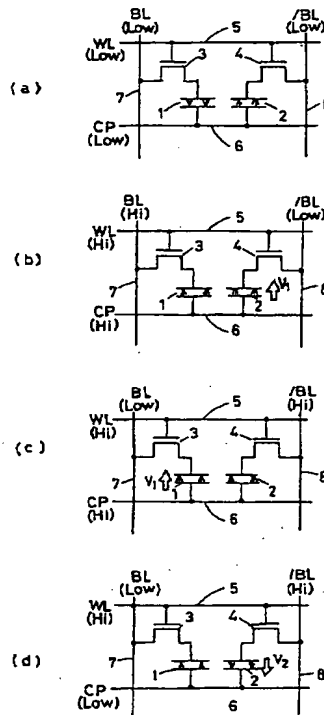


【図1】

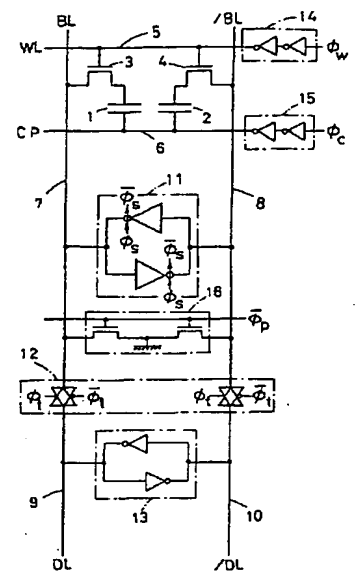


- | | | | |
|-------|------------|----|------------|
| 1. 2 | 強誘電体キャパシタ | 14 | ワード線ドライバ |
| 3. 4 | NMOSトランジスタ | 15 | セルプレートドライバ |
| 5 | ワード線 | 30 | 比較回路 |
| 6 | セルプレート | 31 | 書き込み動作制御回路 |
| 7. 8 | ビット線 | 32 | 立ち下がり遅延回路 |
| 9. 10 | データ線 | 33 | 立ち下がり遅延回路 |
| 11 | 差動増幅器 | 34 | トランスファゲート |
| 12 | トランスファゲート | 35 | ラッチ回路 |
| 13 | ラッチ回路 | 36 | トランスファゲート |

【図3】

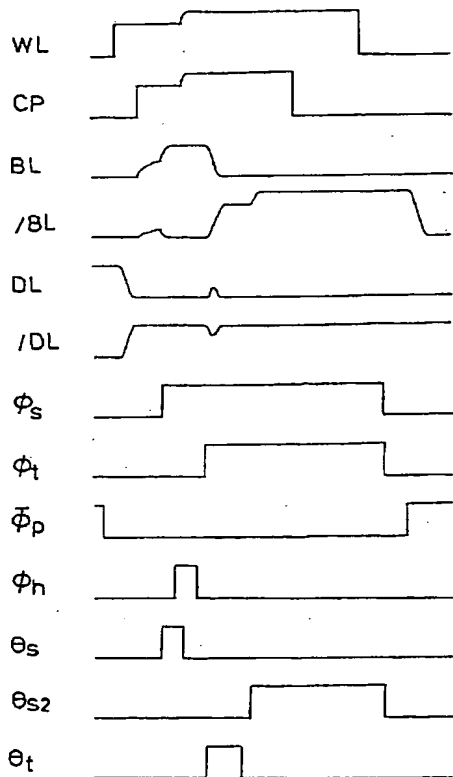


【図8】

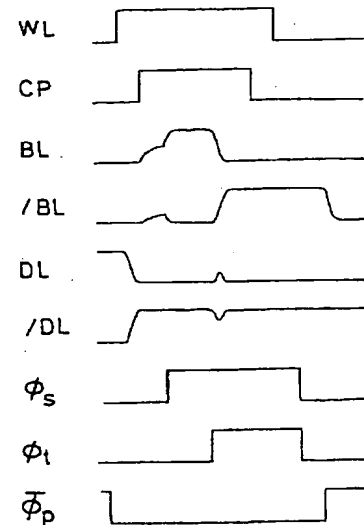
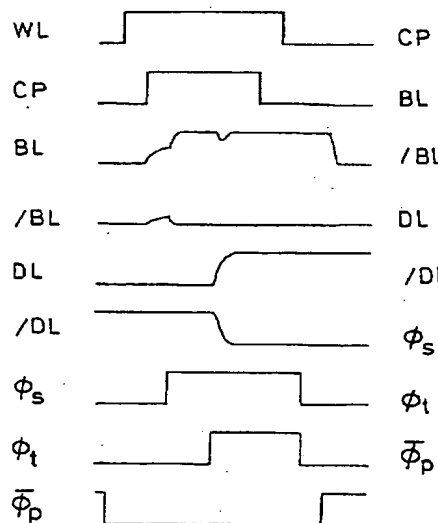


【図10】

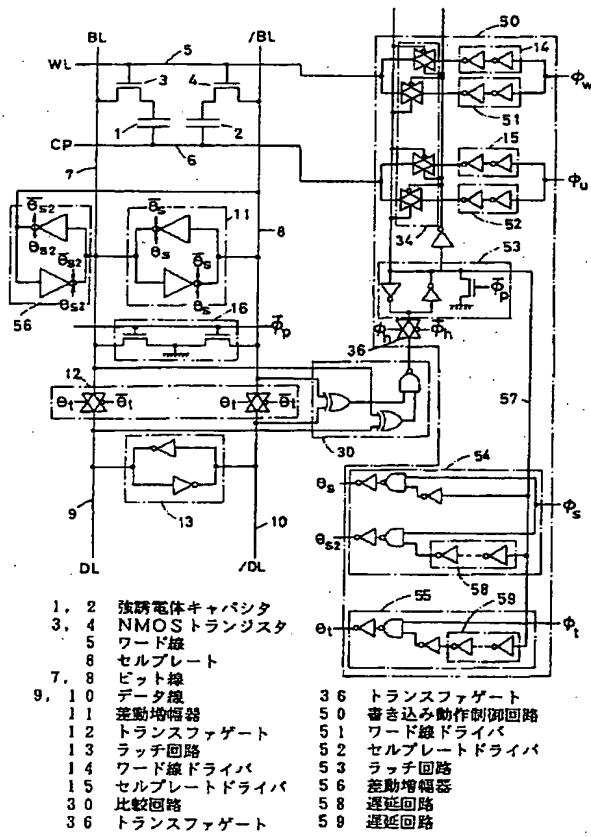
【図5】



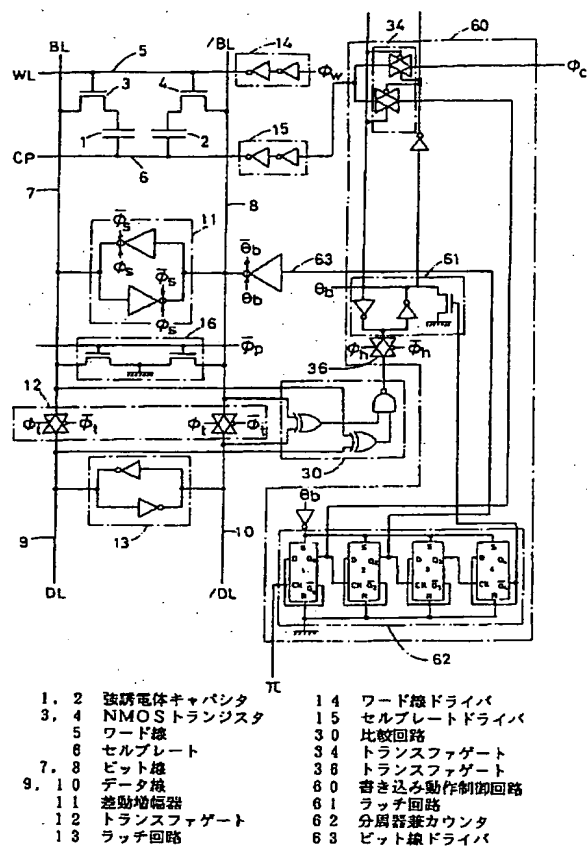
【図9】



【図4】



【図6】



【図11】

